

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-095713

(43)Date of publication of application : 09.04.1999

(51)Int.Cl.

G09G 3/18

(21)Application number : 09-254003

(71)Applicant : ALPS ELECTRIC CO LTD

(22)Date of filing : 19.09.1997

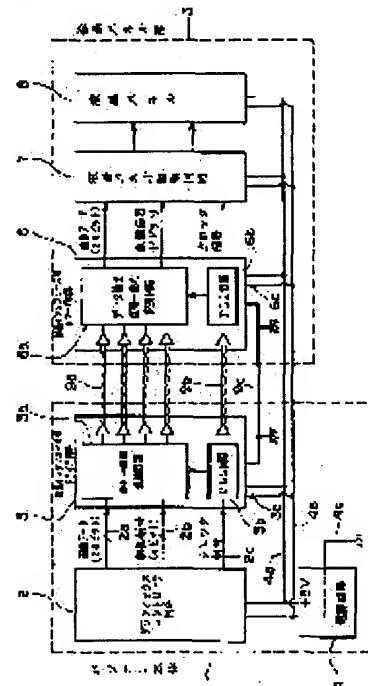
(72)Inventor : KIMURA YOICHI

## (54) CONNECTION CIRCUIT BETWEEN EXTERNAL IMAGE EQUIPMENT AND LIQUID CRYSTAL PANEL PART

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a connection circuit between an external image equipment and a liquid crystal panel part preventing a noise from occurring in a display screen of a liquid crystal panel.

**SOLUTION:** This circuit is provided with the external image equipment 1 having a graphic controller circuit 2 and a driver circuit 3 multiplexing the image data, a control signal and a clock signal from the graphics controller circuit 2 and outputting them to connection lines and the liquid crystal panel part 5 having a receiver circuit 6 inputted with the image data, control signal and clock signal multiplexed by the connection lines 9a, 9b from the driver circuit 3 and a liquid crystal panel drive circuit 7 inputted with the image data, control signal and clock signal from the receiver circuit 6, and is provided with a grounded line 9c directly connecting only the driver circuit 3 to only the receiver circuit 6.



## LEGAL STATUS

[Date of request for examination]

12.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-95713

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.<sup>6</sup>

G 0 9 G 3/18

識別記号

F I

G 0 9 G 3/18

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平9-254003

(22) 出願日 平成9年(1997) 9月19日

(71) 出願人 000010098

アルプス電気株式会社

東京都大田区雪谷大塚町1番7号

(72) 発明者 木村 洋一

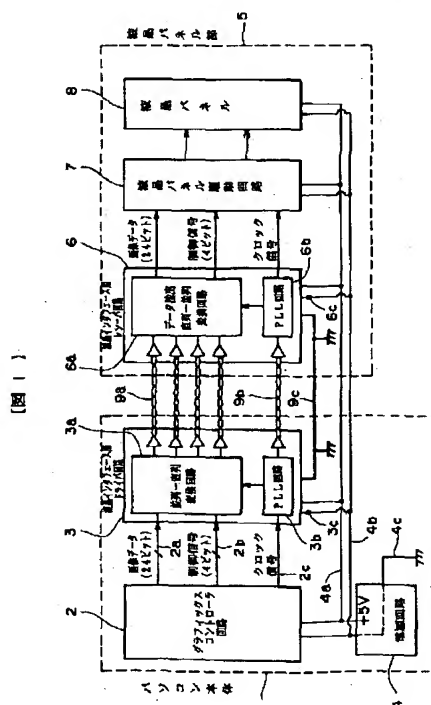
東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(54) 【発明の名称】 外部画像機器と液晶パネル部との接続回路

(57) 【要約】

【課題】 外部画像機器1に備えてあるデジタル・インターフェースを構成する送信側のドライバ回路3の接地電位と、液晶パネル部5に備えてある受信側のレシーバ回路6の接地電位との間に電位差が生じることがあり、この電位差によって、信号にノイズが生じるという問題がある。

【解決手段】 グラフィックス・コントローラ回路2と、該グラフィックス・コントローラ回路からの画像データと制御信号とクロック信号とを多重化して接続線に出力するドライバ回路3とを有する外部画像機器1と、ドライバ回路からの接続線9a、9bにて多重化された画像データと制御信号とクロック信号とが入力されるレシーバ回路6と、レシーバ回路からの画像データと制御信号とクロック信号とが入力される液晶パネル駆動回路7とを有する液晶パネル部5とを備え、ドライバ回路のみとレシーバ回路のみとを直接接続する接地線9cを備えていること。



## 【特許請求の範囲】

【請求項1】 グラフィックス・コントローラ回路と、該グラフィックス・コントローラ回路からの画像データと制御信号とクロック信号とを多重化して複数本の接続線に出力する液晶インターフェース用ドライバ回路とを有する外部画像機器と、前記液晶インターフェース用ドライバ回路からの多重化された前記画像データと制御信号とクロック信号とが入力される液晶インターフェース用レシーバ回路と、該液晶インターフェース用レシーバ回路からの画像データと制御信号とクロック信号とが入力される液晶パネル駆動回路とを有する液晶パネル部とを備え、前記液晶インターフェース用ドライバ回路のみと前記液晶インターフェース用レシーバ回路のみとを直接接続する接地線を備えていることを特徴とする外部画像機器と液晶パネル部との接続回路。

【請求項2】 前記液晶インターフェース用ドライバ回路と前記液晶インターフェース用レシーバ回路とを接続する接続線と前記接地線とがひとつのコネクタに配置されていることを特徴とする請求項1記載の外部画像機器と液晶パネル部との接続回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、外部画像機器と液晶パネル部との接続回路に関し、特に、外部画像機器から液晶パネル部にデジタル信号を伝送するデジタル・インターフェースとして、LVDS (Low Voltage Differential Signaling: IEEE 1596.3 による小振幅インターフェース)方式を用いた外部画像機器と液晶パネル部との接続に使用して好適な接続回路に関するものである。

## 【0002】

【従来の技術】近年、外部画像機器としてのパーソナルコンピュータ (以下パソコンと称する) 本体やレーザー・ディスク再生装置やビデオテープレコーダ装置 (VTR) などからの画像等を表示するモニターとして液晶を用いた液晶パネル部が場所を取らないことや安価になって来たことから増えている。そして、現在は、外部画像機器から液晶パネル部へ送る画像信号をアナログ信号で伝送するものと、デジタル信号で伝送するものがあり、このことから、アナログ・インターフェースの液晶パネル部と、デジタル・インターフェースの液晶パネル部とが混在している。そして、デジタル・インターフェースを備えた液晶パネル部の製品化が増加する傾向にある。この液晶パネル部は、例えば表示可能な色数が1670万色で、1024×768画素 (XGA) の液晶パネルを備えたものがあり、この液晶パネルを駆動するためのデジタル・インターフェースとしてLVDSが用いられている。

【0003】ここで、このLVDSによる従来の外部画像機器と液晶パネル部との接続回路についての説明をす

る。図2は、従来の外部画像機器としてのパソコン本体と液晶パネル部との接続回路を示すブロック図である。図2に示すように、外部画像機器としてのパソコン本体1は、少なくともグラフィックス・コントローラ回路2と液晶インターフェース用ドライバ回路3 (以下ドライバ回路と称する) と電源回路4とを有する。また、前記ドライバ回路3は、少なくとも並列-直列変換回路3aとPLL (Phase Locked Loop) 回路3bとを有しており、該PLL回路3bからのクロック信号によって、前記並列-直列変換回路3aによる画像データの多重化のための変換が制御されるように構成されている。

【0004】また、前記グラフィックス・コントローラ回路2と前記ドライバ回路3とは、例えば、29本のパラレル信号線によって、接続されており、前記グラフィックス・コントローラ回路2からのR (レッド)・G (グリーン)・B (ブルー) 各8ビットの画像データ (合計24ビット) と水平同期信号や垂直同期信号などの制御信号 (4ビット) と基準時間となるクロック信号とからなる出力信号は、ドライバ回路3に入力される。また、前記電源回路4は、前記グラフィックス・コントローラ回路2と前記ドライバ回路3とに、例えば+5Vの電圧を供給するための接続線4aと接地 (GND) 線となる接続線4bとで接続されている。また、前記電源回路4は、接地電位をとるために接地線4cによって、例えばシャーシ (図示せず) に接地されている。

【0005】また、液晶パネル部5は、少なくとも液晶インターフェース用レシーバ回路6 (以下レシーバ回路と称する) と液晶パネル駆動回路7と液晶パネル8とを有する。また、前記レシーバ回路6は、少なくともデータ抽出・直列-並列変換回路6aとPLL回路6bとを備えており、該PLL回路6bからのクロック信号によって、前記データ抽出・直列-並列変換回路6aにて、多重化された画像データなどからのデータ抽出と直列-並列変換とが制御されるように構成されている。また、前記レシーバ回路6は、前記液晶パネル駆動回路7と例えば29本のパラレル信号線によって接続されており、該液晶パネル駆動回路7は、前記液晶パネル8と複数本の信号線によって接続されており、さらに、前記電源回路4は、例えば+5Vの電圧を供給するための接続線4aと接地 (GND) 線となる接続線4bとで、前記レシーバ回路6と前記液晶パネル駆動回路7と前記液晶パネル8とに接続されている。

【0006】また、前記ドライバ回路3の並列-直列変換回路3aと、前記レシーバ回路6のデータ抽出・直列-並列変換回路6aとは、24ビットの画像データと4ビットの制御信号とをLVDSによって多重化して伝送していることから、4組のより対線からなる8本の接続線9aにて接続されており、さらに前記ドライバ回路3のPLL回路3bと、前記レシーバ回路6のPLL回路6bとは、前記PLL回路3bからのクロック信号を伝

送するために、1組のより対線からなる2本の接続線9bにて接続されている。

【0007】

【発明が解決しようとする課題】しかしながら、前記LVDSを用いたデジタル・インターフェースは、5組(4組+1組)のより対線からなる10本の接続線9a、9bによって、パソコン本体1と液晶パネル部5とが接続されているが、パソコン本体1のドライバ回路3によって多重化された画像データなどは、例えば信号レベルが約0.3Vと小振幅レベルで、液晶パネル部5のレシーバ回路6に伝送されて、このレシーバ回路6で、元の画像データと制御信号とクロック信号とに変換・復元する。

【0008】このとき、パソコン本体1に備えてあるデジタル・インターフェースを構成する送信側のドライバ回路3の接地端の3cの接地電位と、液晶パネル部5に備えてある受信側のレシーバ回路6の接地端6cの接地電位との間に電位差が生じることがある。これは、ドライバ回路3の接地端3cの接地電位とレシーバ回路6の接地端6cの接地電位とは、前記電源回路4の接続線4bと接地線4cとを介しての接地によって、一応定められているが、この電源回路4の接続線4bは、前記ドライバ回路3とレシーバ回路6との接続線4bであるとともに、前記パソコン本体1を構成するグラフィックス・コントローラ回路2や前記液晶パネル部5とを構成する液晶パネル駆動回路7等の接続線4bでもある。このことから前記接続線4bはプリント基板(図示せず)に比較的長いラインとして形成されており、それぞれの各回路からの信号の電流が流れている。

【0009】これらの電流は、前述の各回路構成がデジタル回路による構成であることから、パルス電流であり、このパルス電流は、前記接続線4bの抵抗分やリアクタンス分によって、電圧降下を生じる。しかも、この電圧降下は、例えばドライバ回路3やレシーバ回路6を流れるパルス電流の変化によって各回路毎に電圧降下の幅が異なり、よって各回路の接地端における接地電位が変動する。この各回路の接地端の接地電位の変動によって、前述の如くドライバ回路3の接地端3cの接地電位と、レシーバ回路6の接地端6cの接地電位との間に電位差(例えば約1~2V)が生じることがある。

【0010】このドライバ回路3の接地端3cの接地電位と、レシーバ回路6の接地端6cの接地電位とは、それぞれドライバ回路3とレシーバ回路6とが動作するときのそれぞれの基準電位となっているのだが、前述の如くこのドライバ回路3の基準電位と、レシーバ回路6の基準電位とに電位差が生じることがある。従って、ドライバ回路3の接地端3cの接地電位とレシーバ回路6の接地端6cの接地電位に電位差が生じると、前記10本の接続線9a、9bによって、伝送されたドライバ回路3からの信号は、例えば約0.3Vの小振幅レベルであ

って、この約0.3Vの信号に前記電位差分(例えば約1~2V)の電圧が加算されて前記レシーバ回路6において信号処理が行われる。この電位差分の加算は、小振幅レベルの信号に対して大きな割合を占めることから、前記信号は、ドライバ回路3の接地端3cとレシーバ回路6の接地端6cとの接地電位の電位差の影響を大きく受ける。これは、例えばドライバ回路3とレシーバ回路6との間の電位差が、1Vであるとすれば、0.3V(0Vと0.3V)の信号は、レシーバ回路6では、前記1Vが加算されて1.3V(1Vと1.3V)の信号として信号処理がなされる。このように、前記ドライバ回路3からの信号は、前記レシーバ回路6にて変換・復元されるのだが、ときとして正確に元に復元されず、誤った信号に復元されて表示画面である液晶パネル8にノイズを生じるという問題がある。

【0011】本発明は、この問題点に解決を与えるもので、その目的は、液晶パネル8の表示画面にノイズを生じることのない外部画像機器と液晶パネル部との接続回路を提供することにある。

【0012】

【課題を解決するための手段】本発明の外部画像機器と液晶パネル部との接続回路では、グラフィックス・コントローラ回路と、該グラフィックス・コントローラ回路からの画像データと制御信号とクロック信号とを多重化して複数本の接続線に出力する液晶インターフェース用ドライバ回路とを有する外部画像機器と、前記液晶インターフェース用ドライバ回路からの多重化された前記画像データと制御信号とクロック信号とが入力される液晶インターフェース用レシーバ回路と、該液晶インターフェース用レシーバ回路からの画像データと制御信号とクロック信号とが入力される液晶パネル駆動回路とを有する液晶パネル部とを備え、前記液晶インターフェース用ドライバ回路のみと前記液晶インターフェース用レシーバ回路のみとを直接接続する接地線を備えていることである。

【0013】また、本発明の外部画像機器と液晶パネル部との接続回路では、液晶インターフェース用ドライバ回路と前記液晶インターフェース用レシーバ回路とを接続する接続線と接地線とがひとつのコネクタに配置されていることである。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して詳細に説明する。図1は、本発明の外部画像機器としてのパソコン本体と液晶パネル部との接続回路を示すブロック図である。なお、図1において、図2の従来例に示された構成と同じ構成については、同一部番を付与している。

【0015】図1に示すように、外部画像機器としてのパソコン本体1は、少なくともグラフィックス・コントローラ回路2とドライバ回路3と電源回路4とを備えて

いる。また、前記ドライバ回路3は、少なくとも前記グラフィックス・コントローラ回路2から出力された信号を並列-直列変換する並列-直列変換回路3aとPLL回路3bとを備えており、該PLL回路3bからのクロック信号によって、前記並列-直列変換回路3aによる画像データなどの多重化のための変換が制御されるように構成されている。

【0016】また、液晶パネル部5は、少なくともレシーバ回路6と液晶パネル駆動回路7と液晶パネル8とを備え、前記レシーバ回路6は、少なくとも前記ドライバ回路3からの出力信号(28ビット)が入力された入力信号からデータ抽出をするとともに、直列-並列変換をするためのデータ抽出・直列-並列変換回路6aとPLL回路6bとを備えており、該PLL回路6bからのクロック信号によって、前記データ抽出・直列-並列変換回路6aにて、多重化された画像データなどからのデータ抽出と直列-並列変換とが制御されるように構成されている。

【0017】また、前記グラフィックス・コントローラ回路2は、ドライバ回路3と複数本(例えば29本)の平行信号線によって接続されており、該ドライバ回路3は、レシーバ回路6と、例えば5組のより対線からなる10本の接続線9a、9bと、1本の接地線9cとによって接続され、該レシーバ回路6は、液晶パネル駆動回路7と複数本(例えば29本)の平行信号線によって接続され、該液晶パネル駆動回路7は、液晶パネル8と複数本の信号線で接続されている。前記接地線9cは、前記ドライバ回路3の接地端3cのみと前記レシーバ回路6の接地端6cのみとの間を直接接続し、多重化された画像データなどを伝送する前記接続線9a、9bに対する基準となる接地電位を定めるための専用のGND線を構成し、前記接地端3c、6cは、プリント基板(図示せず)のアースパターン(図示せず)に接続されている。

【0018】また、前記電源回路4は、前記グラフィックス・コントローラ回路2とドライバ回路3とレシーバ回路6と液晶パネル駆動回路7と液晶パネル8とに、例えば+5Vの電圧を供給するための接続線4aと、接地(GND)線となる接続線4bとで、それぞれ接続された構成であり、また、前記電源回路4は、接地線4cによって例えばシャーシ(図示せず)などに接地されている。また、前記接続線4bは、例えばプリント基板(図示せず)のアースパターン(図示せず)を構成している。

【0019】また、前記ドライバ回路3の並列-直列変換回路3aと前記レシーバ回路6のデータ抽出・直列-並列変換回路6aとは、24ビットの画像データと4ビットの制御信号とが前記並列-直列変換回路3aにて多重化されていることから、4組のより対線からなる8本の接続線9aによって接続されており、前記ドライバ回

路3のPLL回路3bと前記レシーバ回路6のPLL回路6bとは、クロック信号を伝送するための1組のより対線からなる2本の接続線9bによって接続されている。また、前記ドライバ回路3の接地端3cと前記レシーバ回路6の接地端6cとは、直接接地(GND)線9cによって接続されているとともに、この接地線9cは、接地電位を保つために、例えば前記ドライバ回路3や前記レシーバ回路6の近傍に形成されたアースパターン(図示せず)に接続されている。また、前記接続線4bと、前記接地線9cとは電気的には接続されている。

【0020】次に、動作について説明をする。まず、前記パソコン本体1からは、図示していないがアナログのR(レッド)・G(グリーン)・B(ブルー)の色信号や、アナログの水平同期信号(HSYNC)や垂直同期信号(VSYNC)などが出力信号として出力されており、これらのアナログの出力信号は、前記グラフィックス・コントローラ回路2に入力される。そして、前記グラフィックス・コントローラ回路2にて、前記各アナログ信号は、各8ビットのR・B・G信号からなる合計24ビットの画像データ2aと、水平同期信号(HSYNC)や垂直同期信号(VSYNC)などの合計4ビットの制御信号2bと、基準信号となるクロック信号2cとのデジタル信号に変換されて出力される。

【0021】そして、前記グラフィックス・コントローラ回路2から出力されたそれぞれのデジタル信号は、前記ドライバ回路3に入力され、該ドライバ回路3の並列-直列変換回路3aにて、前記画像データ2aと制御信号2bとの28ビット(24ビット+4ビット)の信号を並列-直列変換して、多重化し、接続線9aに出力する。また、前記PLL回路3bからは、接続線9bにクロック信号が出力される。

【0022】また、前記5組(4組+1組)のより対線からなる10本の接続線9a、9bによる信号の伝送は、前記より対線に前記信号に対応した例えば約3mA位の電流を流し、このより対線に例えば約100Ωの抵抗(図示せず)を並列接続しておき、この抵抗による前記電流の電圧降下(約0.3V)を検出することによって信号を伝送するものである。

【0023】また、前記レシーバ回路6のデータ抽出・直列-並列変換回路6aでは、前記ドライバ回路3の並列-直列変換回路3aによって多重化された前記グラフィックス・コントローラ回路2から出力された前記画像データ(24ビット)と前記制御信号(4ビット)とを変換・復元して元の画像データ(24ビット)と制御信号(4ビット)との信号に変換する。このときの前記ドライバ回路3からの転送レートは、例えば140Mbyte/sである。そして、前記レシーバ回路6のデータ抽出・直列-並列変換回路6aとPLL回路6bとからの画像データ(24ビット)と制御信号(4ビット)とクロック信号とは、前記液晶パネル駆動回路7に信号線にて入

力される。この入力されたデジタル信号によって該液晶パネル駆動回路7から液晶パネル8を駆動するための信号が出力され、この出力信号は、表示画面である前記液晶パネル8に入力されて、液晶パネル8に画像を表示する。

【0024】また、この接地線9cの直接接続は、図示していないが、例えば前記ドライバ回路3に設けられた出力信号処理回路を駆動するための電源線を構成するGND線の接地端と、前記レシーバ回路6に設けられた入力信号処理回路を駆動するための電源線を構成するGND線の接地端との間を接続するように設けられている。

この前記ドライバ回路3の接地端3cと前記レシーバ回路6の接地端6cとを直接接続する接地線9cによって、ドライバ回路3からレシーバ回路6に接続線9a、9bによって伝送される多重化された信号に対する基準電位（GND電位）となる専用の接地（GND）線が構成される。そして、この接地線9cは、直接接続されていることから、接地線9cの抵抗などによる電圧降下は少なく、このことから変動すること少ないほぼ共通の接地電位を保つことが出来る。また、この接地線9cは、前記10本の接続線9a、9bとともに、例えば11ピンのコネクタ（図示せず）を介して、相互接続されるようにしている。

【0025】なお、本発明の実施の形態として液晶パネル部を外部画像機器としてのパソコン本体と接続したブロック図で説明したが、液晶パネル部との接続は、パソコン本体に限定されることなく、例えば、ビデオカメラやレーザー・ディスク再生装置やビデオテープレコーダ装置（VTR）など液晶パネル部に画像信号などを出力することの出来る外部画像機器であればよいことは勿論である。なお、前記接続線9a、9bと接地線9cとは、一つのコネクタによって構成するのではなく、別体であっても良く、例えば10ピンと2ピンとからなる2種類のコネクタを用いても良いことは勿論である。なお、前記電源回路4は、パソコン本体1に設けた実施例について説明したが、これに限定されることなく、電源回路4を液晶パネル部5に設けても良いことは勿論であり、また、電源回路4は、外部画像機器1と液晶パネル部5との両方にそれぞれに設けても良いことは勿論である。なお、本発明の実施の形態として画像データを24ビット（8ビット×3：RGB）からなるデータとしたが、これに限定されることなく、例えば21ビット（7ビット×3：RGB）や27ビット（9ビット×3：RGB）

であっても良い。

【0026】

【発明の効果】以上のように、本発明の外部画像機器と液晶パネル部との接続回路では、液晶インターフェース用ドライバ回路のみと液晶インターフェース用レシーバ回路のみとを直接接続する接地線を備えていることから、前記液晶インターフェース用ドライバ回路の接地端と液晶インターフェース用レシーバ回路の接地端との接地電位が、直接接続された同一の接地線から得ることができるので、変動することの少ない共通した接地電位を得ることができる。このことから、前記液晶インターフェース用レシーバ回路で受け取る受信信号が、前記ドライバ回路に対して安定するので、前記レシーバ回路は誤動作することがなく、よって、誤動作によるノイズは生じることなく安定した表示画面を得ることができるという効果を奏する。

【0027】また、本発明の外部画像機器と液晶パネル部との接続回路では、前記接続線と前記接地線とがひとつのコネクタに配置されていることから、部品点数の増加のない安価な接続回路を提供することが出来る。

【図面の簡単な説明】

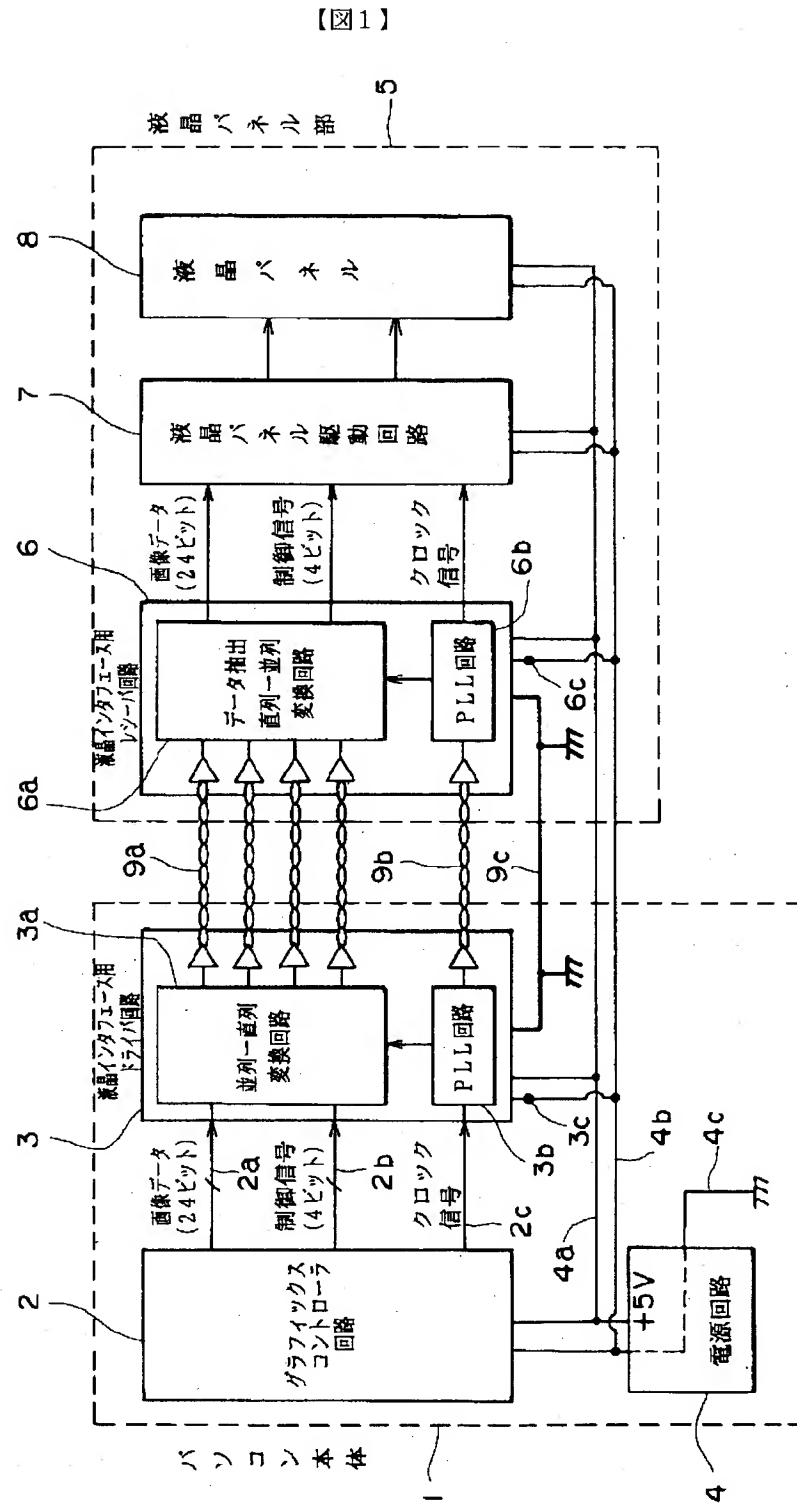
【図1】本発明の実施の形態のパーソナルコンピュータ本体と液晶パネル部との接続回路を示すブロック図である。

【図2】従来のパーソナルコンピュータ本体と液晶パネル部との接続回路を示すブロック図である。

【符号の説明】

- 1 パーソナルコンピュータ本体（外部画像機器）
- 2 グラフィックス・コントローラ回路
- 3 液晶インターフェース用ドライバ回路
- 3a 並列一直列変換回路
- 3b PLL回路
- 4 電源回路
- 4a、4b 接続線
- 4c 接地線
- 5 液晶パネル部
- 6 液晶インターフェース用レシーバ回路
- 6a データ抽出・直列一並列変換回路
- 6b PLL回路
- 7 液晶パネル駆動回路
- 9a、9b 接続線
- 9c 接地線

【図1】



【図2】

【図2】

